

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-331953

(43)Date of publication of application : 30.11.2000

(51)Int.Cl. H01L 21/28
H01L 21/768
H01L 21/331
H01L 29/73
H01L 29/78
H01L 21/336

(21)Application number : 2000-134530

(71)Applicant : SONY CORP

(22)Date of filing : 31.08.1990

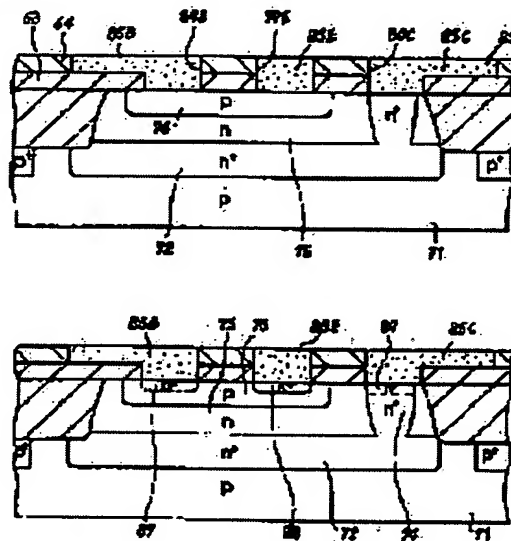
(72)Inventor : MIWA HIROYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To allow manufacturing of a semiconductor device of high performance and reliability by facilitating a minute contact of a drawing electrode.

SOLUTION: A process where first and second insulating films 63 and 64 of different kind are laminated on a semiconductor substrate, a process where first and second openings faced by the semiconductor substrate are formed on the insulating films 63 and 64, a process where a step opening part 84B for contact which comprises the first opening as well as a third opening where, communicating with the first opening, only the second insulating film 64 is selected and removed is formed, a process where a conductor 85 is embedded in a step opening part 84B and a second opening 79E, and a process where the conductor 85 is flattened up to the surface of the second insulating film 64 so that conductors 85E and 85B formed in the second opening 79E and the step opening part 84B, respectively, are electrically independent each other, are provided.



LEGAL STATUS

[Date of request for examination]

08.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3329332

[Date of registration]

19.07.2002

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-331953

(P2000-331953A)

(43)公開日 平成12年11月30日(2000.11.30)

(51)Int.Cl. ⁷	識別記号	F I	テリトリー(参考)
H 0 1 L	21/28	H 0 1 L	21/28 L
	21/768		21/90 M
	21/331		29/72
	29/73		29/78 3 0 1 Y
	29/78		

審査請求 有 請求項の数 1 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願2000-134530(P2000-134530)
(62)分割の表示 特願平2-231871の分割
(22)出願日 平成2年8月31日(1990.8.31)

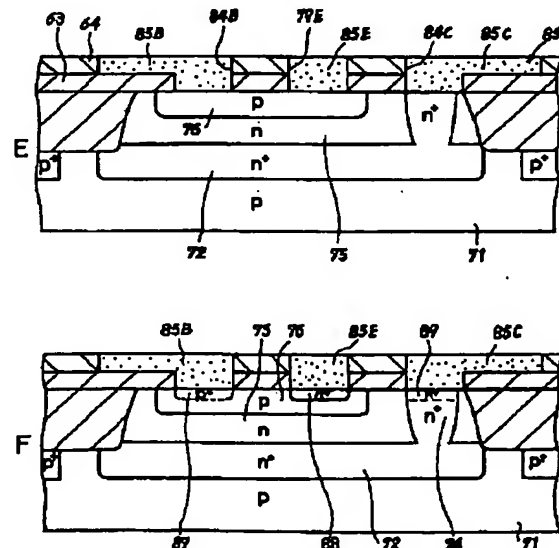
(71)出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72)発明者 三輪 浩之
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74)代理人 100080883
弁理士 松隈 秀盛

(54)【発明の名称】 半導体装置の製法

(57)【要約】

【課題】 取出し電極の微細コンタクトを容易にし、高性能且つ高信頼性を有する半導体装置の製造を可能にする。

【解決手段】 半導体基体上に異なる種類の第1及び第2の絶縁膜63及び64を積層形成する工程と、絶縁膜63、64に半導体基体が臨む第1及び第2の開口を形成する工程と、第1の開口と該第1の開口に連通して第2の絶縁膜64のみを選択除去した第3の開口とからなるコンタクト用の段差開口部84Bを形成する工程と、段差開口部84B及び第2の開口79Eに導電体85を埋込む工程と、導電体85を第2の絶縁膜64の表面まで平坦化し、第2の開口79E及び段差開口部84B内に形成された夫々の導電体85E及び85Bを電氣的に独立させる工程とを有する。



第1実施形態の形態の工程図(その3)

【特許請求の範囲】

【請求項1】 半導体基体上に異なる種類の第1及び第2の絶縁膜を積層形成する工程と、
前記絶縁膜に前記半導体基体が臨む第1及び第2の開口を形成する工程と、
前記第1の開口と該第1の開口に連通して前記第2の絶縁膜のみを選択除去した第3の開口とからなるコンタクト用の段差開口部を形成する工程と、
前記段差開口部及び前記第2の開口に導電体を埋込む工程と、
前記導電体を前記第2の絶縁膜の表面まで平坦化し、前記第2の開口及び前記段差開口部内に形成された夫々の導電体を電気的に独立させる工程とを有することを特徴とする半導体装置の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイポーラトランジスタ等の半導体装置の製法に関する。

【0002】

【従来の技術】従来、バイポーラトランジスタにおいて、ベース取り出し電極及びエミッタ取出し電極を多結晶シリコン膜で形成し、セルフアライン的にベース領域及びエミッタ領域を形成して成る超高速バイポーラトランジスタが提案されている。

【0003】図11は、この超高速バイポーラトランジスタの例を示す。このバイポーラトランジスタ1では、第1導電形例えばp形の半導体基体2上のコレクタ領域3となるn形のエピタキシャル層4上に第1のp⁺多結晶シリコン膜によるベース取出し電極7を設け、之よりの不純物拡散でp⁺外部ベース領域8を形成し、またp⁺多結晶シリコン膜及びその上のSiO₂膜9に選択的に形成した開口10を通してイオン注入により外部ベース領域8と真性ベース領域とを接続するためのリンクベース領域11を形成したのち、開口10に絶縁性側壁部即ちSiO₂、サイドウォール12を形成すると共に、第2の多結晶シリコン膜13を形成し、この第2の多結晶シリコン膜13を通してp形不純物、n形不純物を導入してセルフアラインでp形真性ベース領域4及びn形エミッタ領域5を形成して第2の多結晶シリコン膜13をエミッタ取出し電極として構成される。14はn形コレクタ埋込み層、15はp形チャネルストップ領域、16はn形コレクタ取出し領域、20はフィールド絶縁膜、17、18及び19はメタル（例えばAl）によるベース電極、コレクタ電極及びエミッタ電極である。

【0004】図9～図10は、従来の多結晶シリコンの埋込み技術を用いたバイポーラトランジスタの製法を示す（IED 86 PP420～423参照）。先ず、図9Aに示すように、p形のシリコン基板31にn形のコレクタ埋込み層32及びp形のチャネルストップ領域33を形成した後、コレクタ領域となるn形エピタキシ

ナル層34を形成する。コレクタ埋込み層32に達するコレクタ取出し領域35を形成し、選択酸化によるフィールド絶縁膜36を形成する。そしてSi、N、膜37及びCVDSiO₂膜38を形成した後、之をパターンニングして爾後形成すべきベース取出し電極に対応する部分に開口39を形成する。

【0005】次に、図9Bに示すように、全面にp⁺多結晶シリコン膜40aを形成し、さらにレジスト膜41を形成したのちエッチバックしてp⁺多結晶シリコン膜40の段差部にレジスト膜41を残す。

【0006】次に、図10Cに示すようにレジスト膜41をマスクにしてp⁺多結晶シリコン膜40aを選択エッチングし、p⁺多結晶シリコン膜40aによるベース取出し電極40を形成する。

【0007】次に、図10Dに示すように、活性領域及びコレクタ取出し領域35に対応する部分のCVDSiO₂膜38を選択的に除去し、ベース取出し電極40のp⁺多結晶シリコン膜表面を選択酸化してSiO₂膜41を形成する。このとき、p⁺多結晶シリコン膜からp形不純物が拡散し一部p形外部ベース領域42が形成される。

【0008】次に、ホットリン酸でSi、N、膜37を選択的に除去する。そして活性領域にp形不純物をイオン注入してp形のベース領域43を形成する。次で、第2のn⁺多結晶シリコン膜45aを形成し、之をパターンニングしてエミッタ取出し電極46及びコレクタ取出し電極47を形成する。しかる後アニール処理してn⁺多結晶シリコン膜からのn形不純物拡散でn形エミッタ領域44を形成する。

【0009】次いで、コンタクトホールを形成し、A1によるベース電極48、エミッタ電極49及びコレクタ電極50を形成して図10Eに示すバイポーラトランジスタ51が製造される。

【0010】

【発明が解決しようとする課題】ところで、上述の図9～図10に示す多結晶シリコンの埋込み技術を用いたバイポーラトランジスタ51では次のような問題があった。

(i) ベース取出し用の多結晶シリコン膜40aと、エミッタ及びコレクタ取出し用の多結晶シリコン膜45aを別々に形成するために製造工程が増える。

(ii) ベース取出し電極40をエミッタ取出し電極46との絶縁分離を行うためにベース取出し電極40の表面の熱酸化膜41で行っているが、この熱酸化時（所謂Si、N、膜をマスクとした選択酸化）に熱酸化膜41のパーズピーク近傍の応力によって結晶欠陥が発生し、その後エミッタ取出し電極となるn⁺多結晶シリコン膜45aからの不純物拡散でエミッタ領域44を形成するとき不純物が増速拡散してエミッタの一部がベース領域43を突抜ける懼れがある。これはエミッターコレクタ

間リークを招き、トランジスタ特性が低下する。

(iii) ベース取出し電極40と外部ベース領域42との所謂ベースコンタクト幅 W が、図8Aのフィールド絶縁膜36と SiO_2 膜38、 Si 、 N 、膜37の開口39とのアライメントで決まるために、微細化に限界がある。これはベース-コレクタ間の接合容量の低減に限界が生じ高速化が阻害される。

【0011】本発明は、かかる点に鑑み、取出し電極の微細コンタクトを容易にして高性能、且つ高信頼性を有する半導体装置の製法を提供するものである。

【0012】

【課題を解決するための手段】本発明に係る半導体装置の製法は、半導体基体上に異なる種類の第1及び第2の絶縁膜を積層形成する工程と、この絶縁膜に半導体基体が臨む第1及び第2の開口を形成する工程と、第1の開口とこの第1の開口に連通して第2の絶縁膜のみを選択除去した第3の開口とからなるコンタクト用の段差開口部を形成する工程と、段差開口部及び第2の開口に導電体を埋込む工程と、導電体を第2の絶縁膜の表面まで平坦化し、第2の開口及び段差開口部内に形成された夫々の導電体を電気的に独立させる工程を有するものである。

【0013】本発明においては、段差開口部及び第2の開口に導電体を埋込み、導電体を第2の絶縁膜の表面まで平坦化して段差開口部及び第2の開口部内に形成した夫々の導電体を電気的に独立させるので、同じ工程で同時に各独立の導電体を形成できる。第2の開口と段差開口部間の第1及び第2の絶縁膜が、夫々の導電体を絶縁分離する分離層として機能し、これによって、各導電体が電気的に確実に分離される。

【0014】この各導電体は取出し電極として用いることができる。段差開口部内の導電体と半導体基体とのコンタクト幅は、第1の開口を形成するときのリソグラフィの解像度限界まで縮小できる。従って、コンタクト幅で決まる接合容量の低減が可能となる等、高性能化が図れるとともに、高信頼性をもって製造することができる。

【0015】

【発明の実施の形態】図面を参照して本発明に係る半導体装置の製法の実施の形態を説明する。

【0016】先ず、図1及び図2を用いて本発明の基本的な製造工程を説明する。図1Aに示すように半導体基体62の一面に2種類の絶縁膜、本例では SiO_2 膜63及び SiN 膜64を積層形成する。そして、この SiN 膜64上に第1のレジストマスク65を形成する。

【0017】次に、図1Bに示すように、この第1のレジストマスク65を介して SiN 膜64及び SiO_2 膜63を RIE により選択的に除去して第1の開口66を形成する。さらに、第2のレジストマスク67を形成する。

【0018】次に、図2Cに示すように、この第2のレジストマスク67を介して SiN 膜64のみを一部選択除去して第2の開口68を形成し、この両開口66及び68によって段差開口部69を形成する。

【0019】次に、図2Dに示すように、この段差開口部69を含んで全面に多結晶シリコン或はメタル等の導電体、本例では多結晶シリコン膜70を CVD により形成した後、エッチバックを施し、段差開口部69内に多結晶シリコン膜70を埋込むようになる。

10 【0020】この方法により、階段状をなす段差開口部69に多結晶シリコン70を埋込むことが可能となり、この埋込み多結晶シリコン70を取出し電極として用いることができ、且つその場合の取出し電極の半導体基体とのコンタクト幅 W_1 は、第1のレジストマスクの開口66の幅 W で決まり、レジストマスク65を形成する際のリソグラフィの解像度限界まで縮小することが可能となる。

【0021】図3～図6は、本発明の一実施の形態を示すもので、上記方法を利用したバイポーラトランジスタの製法に応用した場合である。本実施の形態においては、図3Aに示すように p 形のシリコン基板71に n 形コレクタ埋込み層72、 p 形チャネルストップ領域73、フィールド絶縁膜75で分離された n 形エビタキシャル層によるコレクタ領域75、 n 形コレクタ取出し領域74を形成し、さらにコレクタ領域75に p 形のベース領域76を形成する。

【0022】次に、図3Bに示すように、 SiO_2 膜63及び SiN 膜64を形成した後、爾後形成するベース取出し領域、エミッタ領域及びコレクタ取出し領域に夫々対応する部分に開口77B、77E及び77Cを有する第1のレジストマスク78を形成する。

【0023】次に、図4Cに示すように、第1のレジストマスク80を介して SiN 膜64及び SiO_2 膜63を選択エッチングしてシリコン面が臨む第1の開口79B、79E及び79Cを形成する。次いで、ベース取出し領域よりフィールド絶縁膜に跨る部分及びコレクタ取出し領域よりフィールド絶縁膜に跨る部分に開口81B及び81Cを有する第2のレジストマスク82を形成する。

40 【0024】次に、図4Dに示すように、第2のレジストマスク82を介して上層の SiN 膜64のみを選択的にエッチング除去して第2の開口83B及び83Cを形成し、ここに開口79B、83Bからなる段差開口部84B及び開口79C、83Cからなる段差開口部84Cを形成する。

【0025】次に、全面に多結晶シリコン膜85を CVD により形成した後、エッチバックにより平坦化し、図5Eに示すように各段差開口部84B、84C及び開口79E内に多結晶シリコン膜85B、85C、85Eを埋込む。

【0026】次に、図示せざるもレジストマスクを介して選択的に段差開口部84B内の多結晶シリコン膜85Bにp形不純物例えばボロンをイオン注入し、また開口79E内の多結晶シリコン膜85Eと段差開口部84C内の多結晶シリコン膜85Cにn形不純物例えばヒ素をイオン注入し、次いでアニールして図5Fに示すように、多結晶シリコン膜85Bからのボロン拡散でp⁺ベース取出し領域87を形成し、多結晶シリコン膜85Eからのヒ素拡散でn⁺エミッタ領域88を形成し、多結晶シリコン膜85Cからのヒ素拡散でコレクタ取出し領域74にさらなる高濃度領域89を形成する。

【0027】また、この工程でp⁺多結晶シリコン膜85Bがベース取出し電極となり、n⁺多結晶シリコン膜85Eがエミッタ取出し電極となり、n⁺多結晶シリコン膜85Cがコレクタ取出し電極となる。

【0028】しかる後、さらに全面にSiO₂膜90を被着形成したのち、コンタクトホールを形成し、各取出し電極85B、85E、85Cにメタル（例えばAl）によるベース電極91、エミッタ電極92及びコレクタ電極93を形成して図6に示す目的のnpnバイポーラトランジスタ94を得る。

【0029】かかるバイポーラトランジスタの製法によれば、エミッタ取出し電極85E、ベース取出し電極85B及びコレクタ取出し電極85Cを第1の多結晶シリコン膜85によって同時に形成するので、製造工程数を削減することができる。また、ベース取出し電極85Bとエミッタ取出し電極85Eの分離は、段差開口部に用いた絶縁膜63、64によりセルフアラインで行われるので、従来の図9～図10の熱酸化による場合と異なり、応力発生はなく良好なトランジスタ特性が得られる。

【0030】さらに、ベース取出し電極85Bを含め各取出し電極のコンタクト幅は第1の開口77を形成する際のリソグラフィの限界まで縮小することができる。このため、例えばベース及びコレクタ間の接合容量を小さくすることができ、高速化を促進することができる。この様に本実施の形態では高性能で高集積可能な信頼性の高いバイポーラトランジスタを容易に製造することができる。

【0031】尚、上例の図3～図6では、各取出し電極85E、85B、85Cを多結晶シリコン膜85のみで形成したが、その他、図7A及びBに示すように、多結晶シリコン膜96（96E、96B、96C）と金属シリサイド膜97（97E、97B、97C）からなるポリサイド膜98（98E、98B、98C）で各ベース取出し電極、エミッタ取出し電極及びコレクタ取出し電極を形成することも可能である。

【0032】この実施の形態に係るバイポーラトランジスタ99によれば、各取出し電極の寄生抵抗を低減することができ、また多結晶シリコン膜96の膜厚が適当に

薄くなるので、ベース領域76からのホールがエミッタ取出し電極における多結晶シリコン膜96E中に蓄積されるのが低減し、所定拡散量（従って、エミッターベース間容量）を低減することができる。

【0033】また、図3～図6の例は対称形のnpnトランジスタに適用した場合であるが、pnpトランジスタも同様に形成することが可能である。

【0034】図8は、上記方法をMISFETに応用した他の実施の形態である。本実施の形態においては、第1導電形のシリコン基板101上にゲート絶縁膜となるSiO₂膜102を形成し、さらにその上にSiN膜103を形成した後、ゲート長に対応する間隔を置いて左右対称形の段差開口部104S、104Dを形成すると共に、ゲート部上のSiN膜103のみを選択的に除去して開口105Gを形成する。

【0035】次いで、全面に多結晶シリコン膜106を形成し、平坦化処理して夫々の段差開口部104S、104D及び開口105Gに多結晶シリコン膜106S、106D及び106Gを埋込む。

【0036】そして各多結晶シリコン膜106S、106D及び106Gに第2導電形不純物をイオン注入し、アニール処理して、段差開口部104S及び104D内の多結晶シリコン膜106S及び106Dからの不純物拡散でソース領域107S及びドレイン領域107Dを形成し、且つ各多結晶シリコン膜106S、106D及び106Gを夫々ソース取出し電極、ドレイン取出し電極及びゲート取出し電極としMISFET108を得る。

【0037】このMISFET108では、ソース取出し電極106S及びドレイン取出し電極106Dのコンタクト幅を小さくすることができ、より微細化が可能となる。

【0038】

【発明の効果】本発明に係る半導体装置の製法によれば、半導体基体に夫々に接続される各独立の導電体（即ち、互に絶縁分離された導電体）を一工程で同時に形成することができ、製造工程数を削減できる。段差開口部と第2の開口との間の第1及び第2の絶縁膜によって、かかる段差開口部及び第2の開口内に形成された各導電体を、確実に絶縁分離することができる。第1の開口と第2の絶縁膜のみ選択除去した第3の開口とからなるコンタクト用の段差開口部を設けて、この内に導電体を埋込むので、この導電体の半導体基体へのコンタクト幅を第1の開口形成時のリソグラフィの限界まで縮小することが可能となる。従って、高性能且つ高信頼性を有する半導体装置を容易に製造することができる。

【図面の簡単な説明】

【図1】A、B 本発明の半導体装置の製法の基本の製造工程図（その1）である。

【図2】C、D 本発明の半導体装置の製法の基本の製

造工程図(その2)である。

【図3】A, B 本発明の半導体装置の製法の一実施の形態(バイポーラトランジスタに適用)を示す製造工程図(その1)である。

【図4】C, D 本発明の半導体装置の製法の一実施の形態(バイポーラトランジスタに適用)を示す製造工程図(その2)である。

【図5】E, F 本発明の半導体装置の製法の一実施の形態(バイポーラトランジスタに適用)を示す製造工程図(その3)である。

【図6】本発明の半導体装置の製法の一実施の形態(バイポーラトランジスタに適用)を示す製造工程図(その4)である。

【図7】A, B 本発明の半導体装置の製法の実施の形態(バイポーラトランジスタに適用)を示す製造工程図である。

【図8】本発明の半導体装置の製法をMISFETに適用した場合の構成図である。

【図9】A~C 従来例のバイポーラトランジスタの製法を示す製造工程図(その1)である。

*20

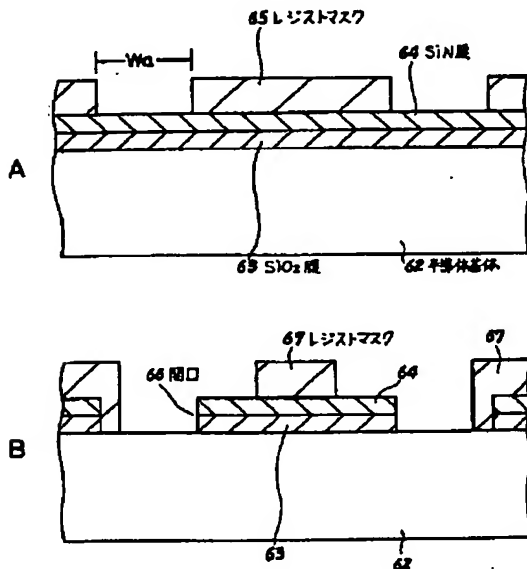
*【図10】D, E 従来例のバイポーラトランジスタの製法を示す製造工程図(その2)である。

【図11】バイポーラトランジスタの従来例を示す構成図である。

【符号の説明】

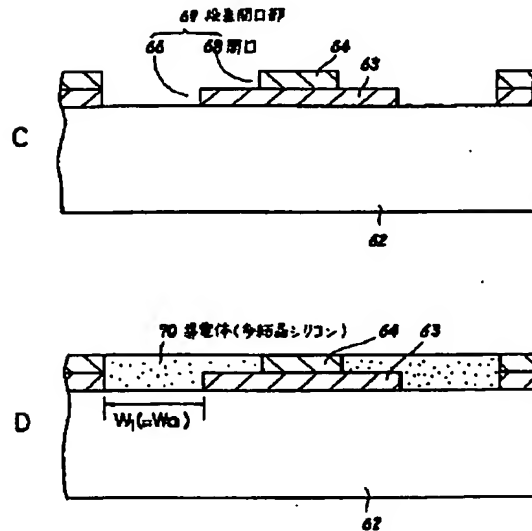
62…半導体基体、63… SiO_2 膜、64… SiN 膜、65, 67…レジストマスク、66, 68…開口、69…段差開口部、70…導電体、71…シリコン基板、72…コレクタ埋込み層、73…チャネルストップ領域、74…コレクタ取出し領域、75…フィールド絶縁膜、76…ベース領域、77B, 77C, 77E…開口、78, 82…レジストマスク、79B, 79C, 79E…開口、81B, 81C…開口、84B, 84C…段差開口部、85…多結晶シリコン膜、85B…ベース取出し電極、85C…コレクタ取出し電極、85E…エミッタ取出し電極、87…ベース取出し領域、88…エミッタ領域、90… SiO_2 膜、91, 92, 93…Al電極、94…バイポーラトランジスタ

【図1】



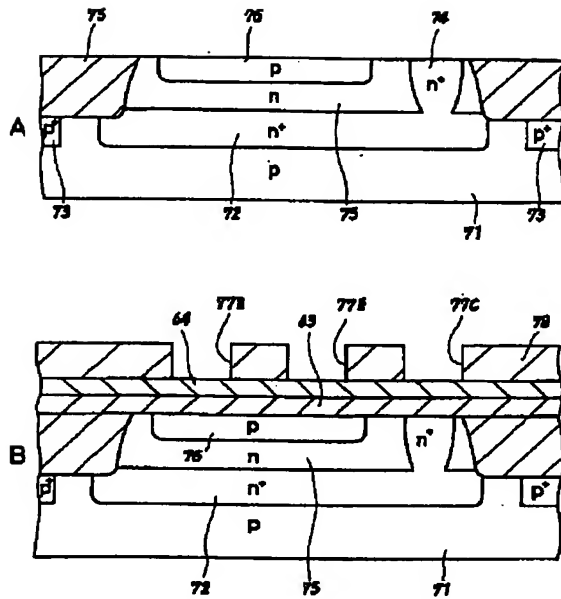
本発明の基本工程図(その1)

【図2】



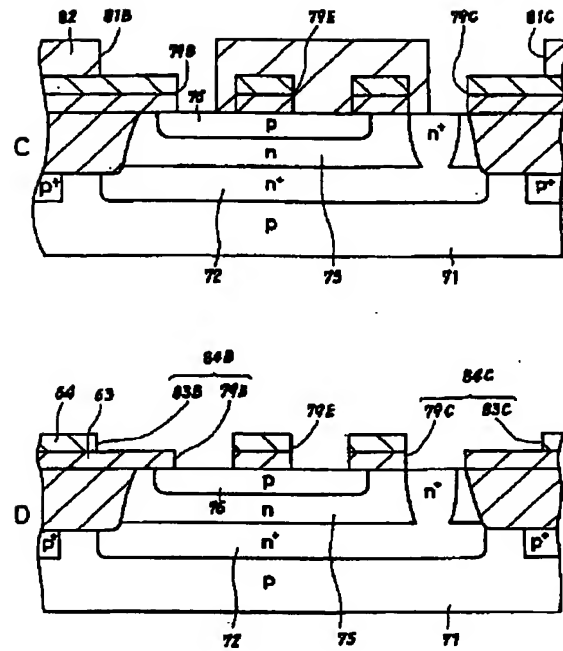
本発明の基本工程図(その2)

【図3】



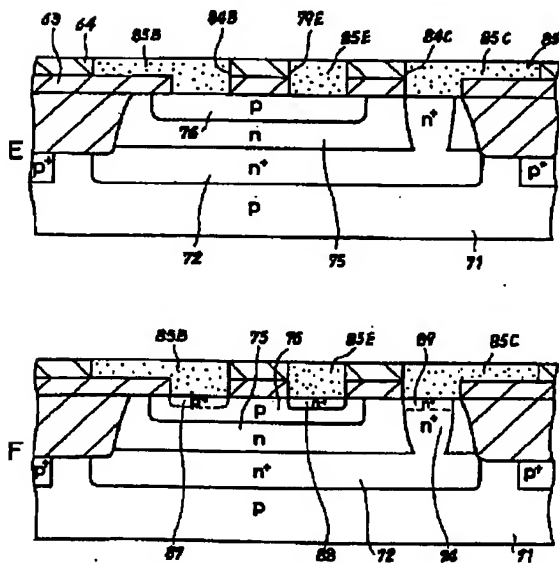
第1実施の形態の形態の工程図(その1)

【図4】



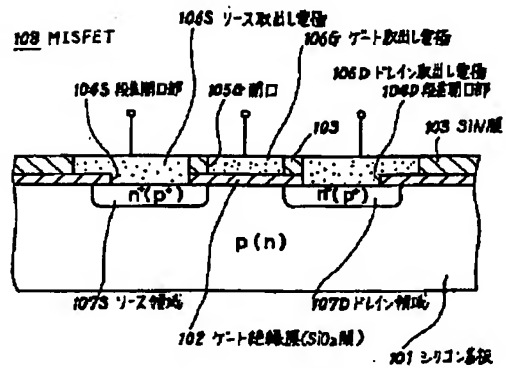
第1実施の形態の形態の工程図(その2)

【圖5】



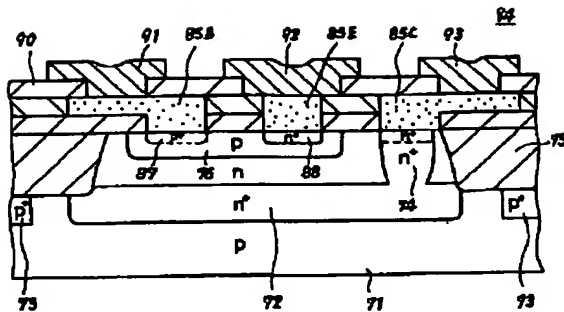
第1実施の形態の工程図(その3)

【圖 8】



第3実施の形態の構成図

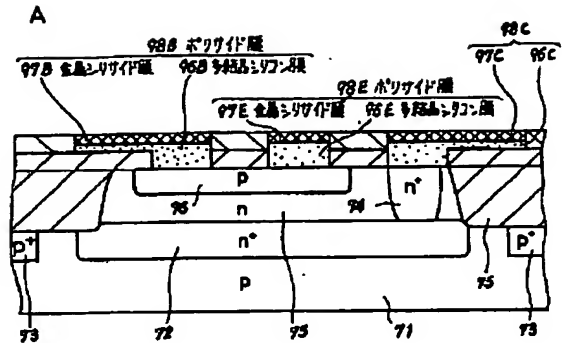
【図6】



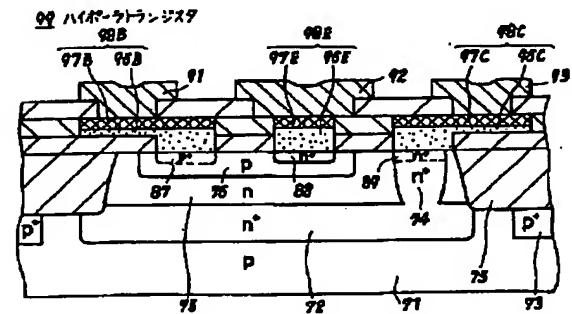
- | | |
|---------------------------|---------------------------|
| 63.....SiO ₂ 膜 | 81B, 81C --- 開口 |
| 64.....SiN膜 | 84B, 84C --- 段差開口部 |
| 71.....シリコン基板 | 85.....多結晶シリコン膜 |
| 72.....コレクタ埋込み層 | 85B --- ベース取出し電極 |
| 73.....チャネルストップ領域 | 85C --- コレクタ取出し電極 |
| 74.....コレクタ取出し領域 | 85E --- エミッタ取出し電極 |
| 75.....フィールド絶縁層 | 87 --- ベース取出し領域 |
| 76 --- ベース領域 | 88 --- エミッタ領域 |
| 77B, 77C, 77E --- 開口 | 90.....SiO ₂ 膜 |
| 78, 82 --- レジスタマスク | 91, 92, 93 --- AL電極 |
| 98B, 98C, 98E --- 開口 | 94 --- バイポーラトランジスタ |

第1実施の形態の工程図(その4)

【図7】

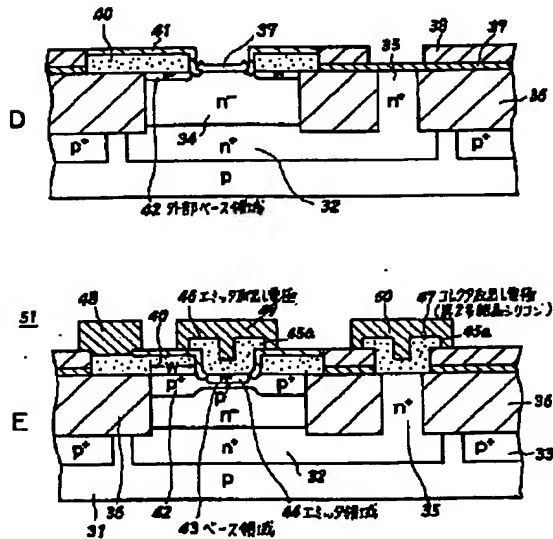


B



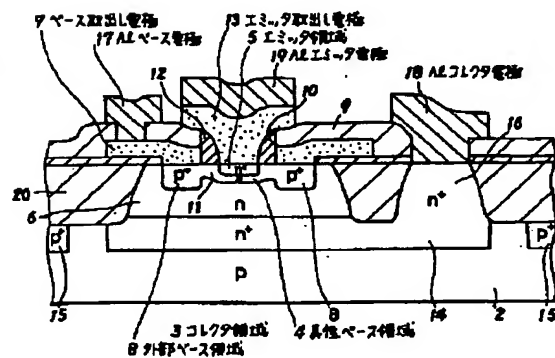
第2実施の形態の工程図

【図10】



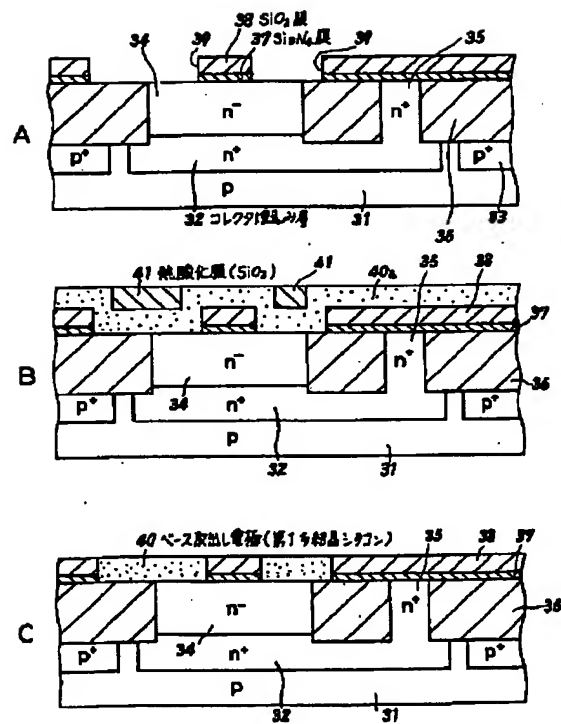
従来例の製造工程図(その2)

【図11】



従来のバイポーラトランジスタの構成図

【図9】



従来の製造工程図(その1)

フロントページの続き

(51)Int.Cl.⁷

H01L 21/336

識別記号

F I

テーマコード(参考)